(TRANSLATION)

Method for Solving Via Poisons During Formation of Copper Metal Conductors
(一種解決銅金屬導體製程中之介層孔阻塞之方法)

Taiwan Patent No.: 457670
Filed: June 20, 2000
Issued: October, 1, 2001
Applicant: Taiwan Semiconductor Manufacturing Company, Ltd.

BEST AVAILABLE COPY

ABSTRACT:

A method for solving via poisons during the formation of copper metal conductors is provided. The method is directed to a process for forming conductors of multilevel interconnects, wherein a step of applying an UV radiation to vias and trenches created in the process is added, so as to make photo resist residues, generated by lithography or etching in the process, nonsitck to dielectric layers and therefore to be removed easily. The method eliminates the via poison phenomena caused by the interactions between the photo resist residues and the dielectric layers so as to improve the electricity of the multilevel interconnects.

90.6.5 修正(本)含claim

公告本

申請日期	89、6、20
案　　號	89112046
類　　別	H01L 23/48

（以上各欄由本局填註）

A4
C4

457670

發明/新型 專利說明書

一、發明/新型名稱	中　文	一種解決銅金屬導體製程中之介層孔阻塞之方法 (第〇八九一一二〇四六號專利案說明書及申請專利範圍修正本)
	英　文	
二、發明/創作人	姓　名	張文、李連忠、鄭雙銘、章勳明
	國　籍	中華民國
	住、居所	新竹市柴橋里青草湖160巷73號1樓 花蓮市民運里6鄰東興街5號 新竹市鄭興路85巷10號4樓 新竹市北區光華里8鄰光華北街83號7樓
三、申請人	姓　名 （名稱）	台灣積體電路製造股份有限公司
	國　籍	中華民國
	住、居所 （事務所）	新竹科學工業園區園區三路一二一號
	代表人 姓　名	張忠謀

煩請委員明示 90 年 6 月 5 日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝　訂　線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

90.6.5 修正(本)含claim

公

本

申請日期	89、6、20
案　　號	89112046
類　　別	H01L 23/48

（以上各欄由本局填註）

A4
C4

457670

發明/新型 專利說明書

一、發明/新型 名稱	中　文	一種解決銅金屬導體製程中之介層孔阻塞之方法 （第〇八九一一二〇四六號專利案說明書及申請專利範圍修正本）
	英　文	
二、發明/創作 人	姓　名	張文、李連忠、鄭雙銘、章勳明
	國　籍	中華民國
	住、居所	新竹市柴橋里青草湖160巷73號1樓 花蓮市民運里6鄰東興街5號 新竹市鄭興路85巷10號4樓 新竹市北區光華里8鄰光華北街83號7樓
三、申請人	姓　名 （名稱）	台灣積體電路製造股份有限公司
	國　籍	中華民國
	住、居所 （事務所）	新竹科學工業園區園區三路一二一號
	代表人 姓　名	張忠謀

煩請委員明示 90年6月5日所提之
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝

訂

線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　　　　　　　　　　　　　　　　　　　　　）

一種解決銅金屬導體製程中之介層孔阻塞之方法

本發明係揭露一種解決銅金屬導體製程中之介層孔阻塞之方法，所述之方法係用於多重金屬內連線製程中的導體製作部份，在習知製作導體用介層孔及溝槽的過程中，對介層孔及溝漕多加入以紫外光進行曝光(UV Expose)的步驟，使得經微影、蝕刻步驟中所產生之光阻殘餘物，不會附著在介電層邊壁，而變得容易去除，而可消弭因光阻殘餘物對內連線介電層作用所產生之介層孔阻塞(Via Poison)現象，得到具良好電性的多重金屬內連線製程。

英文發明摘要（發明之名稱：　　　　　　　　　　　　　　　　　　　　　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ / ）

技術領域：

本發明係關於一種解決銅金屬導體製程中之介層孔阻塞(Via Poison)之方法，特別是關於在消弭〝低介電材料(Low k)／銅(Cu)〞之金屬雙層嵌入式(Dual Damascene)的導體連線製程中之介層孔阻塞的方法。

發明背景：

在超大型積體電路的金屬化製程中，係藉由金屬層連接半導體元件的主動區，經由電性訊號操作半導體元件。金屬化製程以沉積多層金屬層，作為金屬連接之用，稱作多層金屬內連線(Multilevel Interconnects)，除第一層金屬層是用作主動區的金屬接觸，其他層金屬層是作為內連線之用。

在進行多層金屬內連線製程時，在各層之間必須以金屬層間介電層(Inter-Metal Dielectric, IMD)加以隔離各金屬層，且為了讓各層金屬內連線之間能互相連通，便需要以介層孔(Via)來做為多層金屬內連線之間的導通接觸點。

由於金屬內連線之間的間隔大幅縮小，導致其間耦合(Coupling Effect)電容的增加，而造成電阻-電容延遲時間(RC Time Delay)。為降低電阻-電容延遲時間，在愈微小線寬之半導體元件中的嵌入式結構(Damascene Structure)中則以具低電阻的金屬銅(Cu)為內連線金屬主要材料，因為金屬銅具有優於傳統金屬鋁(Al)的特性，如低電阻特性、良好的抗電子遷移性(Electromigration)以及良好的抗應力致空洞形成性質等，不但加快傳輸速度，並具有較小的電阻-電容延遲時間；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2 ）

而在最小線寬低於 0.15μm 之銅導線嵌入式結構中，則採用介電常數(Dielectric Constant, k)低於 3.0 之低介電常數(Low-k)材料，如 FLARE、Silk 及黑鑽石(Black Diamond)等，作為金屬層間介電層，用來降低電阻-電容延遲時間。

在定義銅金屬蝕刻的圖案則是以雙層嵌入式(Dual Damascene)取代傳統的電漿(Plasma)蝕刻方式。請參考圖一 A 至圖一 F，係習知以銅金屬之雙層嵌入式製法來完成多重金屬內連線製程之示意圖。首先係在一完成下層結構 4(通常是下層金屬連線，也可以是其他電性元件)前段製程的半導體基板 2 上，依序形成第一蝕刻終止層(Etch-Stopper)6、第一金屬層間介電層 8、第二蝕刻終止層 10、第二金屬層間介電層 12 及抗反射層(ARL)14，如圖一 A 所示，接著覆蓋第一光阻 16a，進行微影形成介層孔(Via)的光阻圖案，再蝕刻，打開一介層孔的窗口 18a，如圖一 B 所示，然後再覆蓋第二光阻 16b，形成溝槽(Trench)的光阻圖案，進行蝕刻打開一溝槽的窗口 18b，如圖一 C 所示，接著去除光阻，再蝕刻除去部份第一蝕刻終止層 6，打開與下層金屬連線 4 的窗口，如圖一 D，再沈積一阻障層(Barrier Layer) 20 及一晶種銅(Seed-Cu)層(圖中未示)，其中阻障層係為鈦(Ti)、氮化鈦(TiN)或氮化鉭(TaN)等材質，可作為防止金屬銅擴散至介電層的屏障，並增加對金屬銅之黏著性(adhesion)，其中晶種銅係可增加金屬銅之沈積完整性，如圖一 E 所示；接著，以電鍍(ECD)方式沈積上金屬銅 22 於介層孔及溝槽的窗口 18 中，再以化學機械研磨(CMP)去除該金屬銅 22、阻障層 20 及晶種銅層之多餘部

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

份，得到平坦化(Planarization)的平面。可再以同樣製程，繼續次雙層嵌入式銅金屬的製作，以完成多重金屬內連線。

而在進行銅金屬的雙層嵌入式導體連線製程，係利用微影、蝕刻製程完成介層孔及溝槽的窗口 18，而在進行微影曝光(Expose)後未被曝到之光阻(PR)係於顯影(Development)過程中去除。請參閱圖一 B，係習知銅金屬的雙層嵌入式導體連線製程中，製作出介層孔的窗口 18a 之示意圖，光阻在經過顯影、蝕刻後仍有一些光阻殘餘物 50(PR Residues)存在於所述介層孔窗口 18a 底部或附著於該介層孔窗口 18a 壁上，因該介電層邊壁係為斥水性(Hydrophobic)，該光阻殘餘物 50 將因毛細現象(Capillarity)而無法被有效移除，因而使得介層孔電路斷路(Via Opening)，內連線的電性變差，稱之為介層孔阻塞(Via Poison)現象。

故本發明係揭露一種新穎的雙層嵌入式銅金屬製程，可消弭上述介層孔阻塞的現象，而達到良好電性。

發明概述：

本發明之主要目的係提供一解決在銅金屬之雙層嵌入式導體連線製程中介層孔阻塞之方法。

本發明之另一目的係提供一具良好電性之多重金屬內連線的製程。

本發明之又一目的係提供一積體電路中多重金屬內連線技術。

為達上述之目的，本發明係提供一在多重金屬內連線製

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

程中消弭介層孔阻塞(Via Poison)而達到良好電性之方法。

本發明係先在一完成下層結構之前段製程的半導體基板上，形成蝕刻終止層(Etch-Stopper)、金屬層間介電層(IMD)、及抗反射層(ARL)，再以微影、蝕刻等步驟製作出介層孔(Via)的窗口後，進行第一次紫外光曝光(UV Expose)，接著完成溝槽(Trench)的窗口，再進行第二次紫外光曝光後，沈積上一層阻障層(Barrier Layer)及晶種銅(Seed-Cu)層，再沈積上金屬銅(Cu)，接著進行化學機械研磨(CMP)，去除該金屬銅、阻障層及晶種銅層之多餘部份，至平坦化(Planarization)為止；完成所述導體連線後，繼續次雙層嵌入式金屬銅的製作，完成多重金屬內連線。

圖示說明：

圖一A至圖一F為習知技藝中以銅金屬之雙層嵌入式導體連線製程，完成多重金屬連線製程示意圖。

圖二A至圖二F為本發明實施例中以銅金屬之雙層嵌入式導體連線製程，完成多重金屬連線製程示意圖。

圖號說明：

2-半導體基板
4-下層結構
6-第一蝕刻終止層
8-第一金屬層間介電層
10-第二蝕刻終止層
12-第一金屬層間介電層
14-抗反射層
16a-第一光阻
16b-第二光阻
18a-介層孔的窗口

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

18b-溝槽的窗口
18-介層孔與溝槽的窗口
20-阻障層
22-金屬銅
50-光阻殘餘物
100a-第一次紫外光曝光
100b-第二次紫外光曝光

發明之詳細說明：

在積體電路量產技術中，縮短晶粒(Chip)上千萬個主動元件的通訊時間，有助於速度的提昇與功能的改善，但也造成導體連線的電阻-電容時間延遲(RC Time Delay)，因此利用多層金屬內連線(Multilevel Interconnects)製程，在內連線的主要材料為低電阻導體，並利用具有低介電常數(Low k)的內金屬介電層(IMD)隔離導體。然而，在內連線製程作為導通各層金屬內連線間之接觸點連通的介層孔(Via)，會因微影、蝕刻製程產生之光阻殘餘物(PR Residues)與內連線之介電層作用，使得內連線的電性變差，稱之為介層孔阻塞(Via Poison)現象。

本發明係揭露一種解決銅金屬導體製程中之介層孔阻塞之方法，消弭介層孔阻塞現象，改善多層金屬內連線之電性。本發明係以〝低介電材料(Low k)／銅(Cu)〞雙層嵌入法的導體連線製程來闡述。

首先，請參考圖二A至圖二F，係本發明實施例以銅金屬之雙層嵌入式製法來完成多重金屬內連線製程之示意圖。係先在一完成下層結構4(通常是下層金屬連線，也可以是其他電性元件)前段製程的半導體基板2上，依序形成第一蝕刻

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

終止層(Etch-Stopper)6、第一金屬層間介電層 8、第二蝕刻終止層 10、第二金屬層間介電層 12 及一抗反射層(ARL)14，如圖二 A 所示，其中所述第一金屬層間介電層 8 及第二金屬層間介電層 12 為低介電常數(Low k)之介電材料，係為 FLARE、Silk 及黑鑽石(Black Diamond)其中一種，其中所述第一蝕刻終止層 6 及第二蝕刻終止層 10 之材質係為一氧化層(Oxide)、氮化層(Nitride)或碳化層(Carbide)其中一種，所述抗反射層 14 之材質係為氮化矽(SiN)或氮氧化矽(SiO_xN_y)其中之一；接著覆蓋第一光阻 16a，進行微影步驟，形成介層孔(Via)的光阻圖案，再蝕刻，打開一介層孔的窗口 18a，接著進行第一次紫外光曝光(UV Expose)100a，如圖二 B 所示，然後再覆蓋第二光阻 16b，形成溝槽(Trench)的光阻圖案，進行蝕刻打開一溝槽的窗口 18b，如圖二 C 所示，接著去除光阻，該去光阻方式係為一濕式去光阻(Wet PR Strip)步驟；再蝕刻除去部份第一蝕刻終止層 6，打開與下層結構 4 的窗口，如圖二 D 所示，再以物理氣相沈積(PVD)或電鍍(ECD)方式沈積一阻障層(Barrier Layer)20，如圖二 E 所示，其中該阻障層 20 係為鈦(Ti)、氮化鈦(TiN)或氮化鉭(TaN)等材質，可作為防止金屬銅擴散至介電層的屏障，並增加對金屬銅之黏著性(adhesion)；接著以電鍍(ECD)方式覆蓋一晶種銅(Seed-Cu)層(圖中未示)，其中該晶種銅層係可增加金屬銅之沈積完整性；接著，以電鍍(ECD)方式沈積上金屬銅 22 於介層孔及溝槽的窗口 18 中，再以化學機械研磨(CMP)去除多餘之金屬銅 22 及阻障層 20 部份，得到平坦化(Planarization)的平面，如

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

圖二F所示，。可再以同樣製程，繼續次雙層嵌入式銅金屬的製作，以完成多重金屬內連線。

本發明與習知技藝不同處在於開啟完介層孔的窗口 18a 後後，加入一紫外光曝光步驟 100a，可將該介電層邊壁由斥水性(Hydrophobic)轉變成親水性(Hydrophilic)，使得光阻殘餘物(PR Residues)50 因而停留在介電層的邊緣處，容易去除，消弭原本會由斥水性內連線介電層產生之毛細現象(Capillarity)所導致之光阻殘留情形。而且，在開啟完所需的介層孔與溝槽的窗口 18 之後，再加入第二紫外光曝光步驟 100b，使介電層邊壁進行氧化作用(Oxidation)改變性質，進而有助於降低濕式去光阻(Wet PR Strip)之後所產生之高分子殘渣(Polymer Residues)，可增加之後進入酸槽的清洗效果。本發明所述一種解決銅金屬導體製程中之介層孔阻塞(Via Poison)之方法於焉完成。

以上所述係利用較佳之實施例來詳細說明本發明，而本發明涵蓋之範圍並不限於其所示之實施例，而且熟知半導體技藝的人士皆能明瞭，適當而作些微之改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神與範圍，故都應視為本發明之進一步實施狀況。謹請 貴審查委員明鑑，並其惠准，是所至禱。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種解決銅金屬導體製程中之介層孔阻塞(Via Poison)之方法，其步驟係為：

(a) 提供一具下層結構之半導體基板；

(b) 在該半導體基板表面形成金屬層間介電層(IMD)，該金屬層間介電層其下有一蝕刻終止層(Etch-stopper)；

(c) 定義介層孔(Via)之光阻圖案，蝕刻開啟該介層孔的窗口；

(d) 進行紫外光曝光(UV Expose)；

(e) 定義溝漕(Trench)之光阻圖案，蝕刻開啟該溝漕的窗口；

(f) 蝕刻去除該蝕刻終止層，開啟與所述下層結構接觸的窗口；

(g) 於該介層孔及溝槽窗口內表面與該基板表面形成一阻障層(Barrier Layer)；

(h) 於該阻障層上沈積一晶種銅(Seed-Cu)層；

(i) 沈積金屬銅(Cu)填滿該介層孔及溝槽的窗口；

(j) 利用化學機械研磨(CMP)進行平坦化(Planarization)處理，移除該基板表面多餘之金屬銅(Cu)、阻障層及晶種銅層。

2. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之銅金屬導體製程係為一〝低介電材料(Low k)／銅(Cu)〞之金屬雙層嵌入式(Dual Damascene)的導體連線製程。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

3. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，更包括形成一抗反射層(ARL)於所述金屬層間介電層表面。

4. 如同申請專利範圍第 3 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述抗反射層之材質係為氮化矽(SiN)或氮氧化矽(SiO_xN_y)其中之一。

5. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之具下層結構半導體基板係可為一完成下層金屬連線前段製程之半導體基板。

6. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之金屬層間介電層係為低介電常數(Low k)之介電材料。

7. 如同申請專利範圍第 6 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之金屬層間介電層係為(FLARE)、(Silk)及黑鑽石(Black Diamond)其中之一。

8. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述蝕刻終止層之材質係為一氧化層(Oxide)。

9. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述蝕刻終止層之材質係為一氮化層(Nitride)。

10. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述蝕刻終止層之材質係為一碳化層(Carbide)。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

11. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之紫外光曝光，該紫外光之波長係為 150～600Å 之間。

12. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述阻障層之材質係為鈦/氮化鈦(Ti/TiN)、鈦鎢(TiW)合金、鉭(Ta)或氮化鉭(TaN)其中之一。

13. 如同申請專利範圍第 12 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述阻障層係以物理氣相沈積(PVD)或電鍍(ECD)方式覆蓋上去。

14. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述晶種銅係以電鍍(ECD)方式覆蓋上去。

15. 如同申請專利範圍第 1 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述金屬銅(Cu)係以電鍍(ECD)方式沈積。

16. 一種解決銅金屬導體製程中之介層孔阻塞(Via Poison)之方法，其步驟係為：

(a) 提供一具下層結構之半導體基板；

(b) 在該半導體基板表面形成金屬層間介電層(IMD)，該金屬層間介電層其下有一蝕刻終止層(Etch-stopper)；

(c) 定義介層孔(Via)之光阻圖案，蝕刻開啟該介層孔的窗口；

(d) 進行紫外光曝光(UV Expose)；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(e) 定義溝渣(Trench)之光阻圖案，蝕刻該開啟溝渣的窗口；

(f) 蝕刻去除該蝕刻終止層，開啟與所述下層結構接觸的窗口；

(g) 進行第二次紫外光曝光(UV Expose)；

(h) 於該介層孔及溝槽窗口內表面與該基板表面形成一阻障層(Barrier Layer)；

(i) 於該阻障層上沈積一晶種銅(Seed-Cu)層；

(j) 沈積金屬銅(Cu)填滿該介層孔及溝槽的窗口；

(k) 利用化學機械研磨(CMP)進行平坦化(Planarization)處理，移除該基板表面多餘之金屬銅(Cu)、阻障層及晶種銅層。

17. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之銅金屬導體製程係為一〝低介電材料(Low k)／銅(Cu)〞之金屬雙層嵌入式(Dual Damascene)的導體連線製程。

18. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，更包括形成一抗反射層(ARL)於所述金屬層間介電層表面。

19. 如同申請專利範圍第 18 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述抗反射層之材質係為氮化矽(SiN)或氮氧化矽(SiO_xN_y)其中之一。

20. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之具下層結構半導體基板係

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

可為一完成下層金屬連線前段製程之半導體基板。

21. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之金屬層間介電層係為低介電常數(Low k)之介電材料。

22. 如同申請專利範圍第 21 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之金屬層間介電層係為(FLARE)、(Silk)及黑鑽石(Black Diamond)其中之一。

23. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之第一次紫外光曝光，該紫外光之波長係為 150～600Å 之間。

24. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述之第二次紫外光曝光，該紫外光之波長係為 150～600Å 之間。

25. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中進行所述第二次紫外光曝光之後，係更包括一濕式去光阻(Wet PR Strip)步驟。

26. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述蝕刻終止層之材質係為一氧化層(Oxide)。

27. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述蝕刻終止層之材質係為一氮化層(Nitride)。

28. 如同申請專利範圍第 16 項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述蝕刻終止層之材質係為一碳

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

化層(Carbide)。

29. 如同申請專利範圍第16項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述阻障層之材質係為鈦/氮化鈦(Ti/TiN)、鈦鎢(TiW)合金、鉭(Ta)或氮化鉭(TaN)其中之一。

30. 如同申請專利範圍第29項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述阻障層係以物理氣相沈積(PVD)或電鍍(ECD)方式覆蓋上去。

31. 如同申請專利範圍第16項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述晶種銅係以電鍍(ECD)方式覆蓋上去。

32. 如同申請專利範圍第16項所述解決銅金屬導體製程中之介層孔阻塞之方法，其中所述金屬銅(Cu)係以電鍍(ECD)方式沈積。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

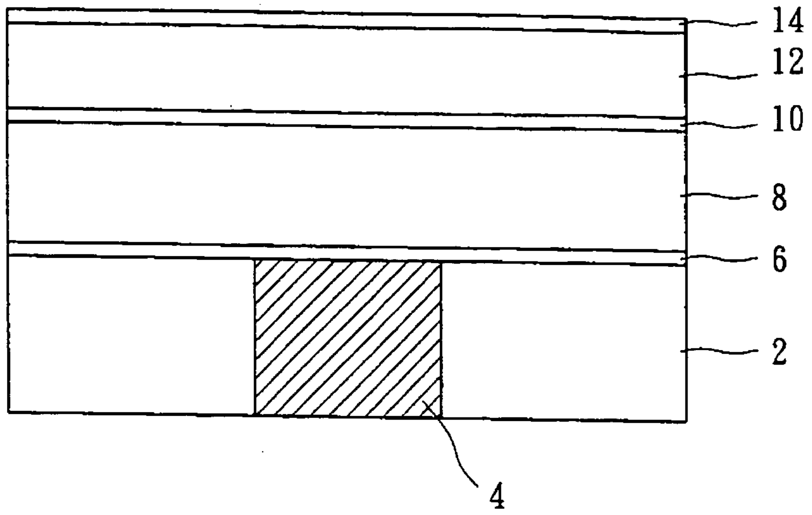

圖 一 A

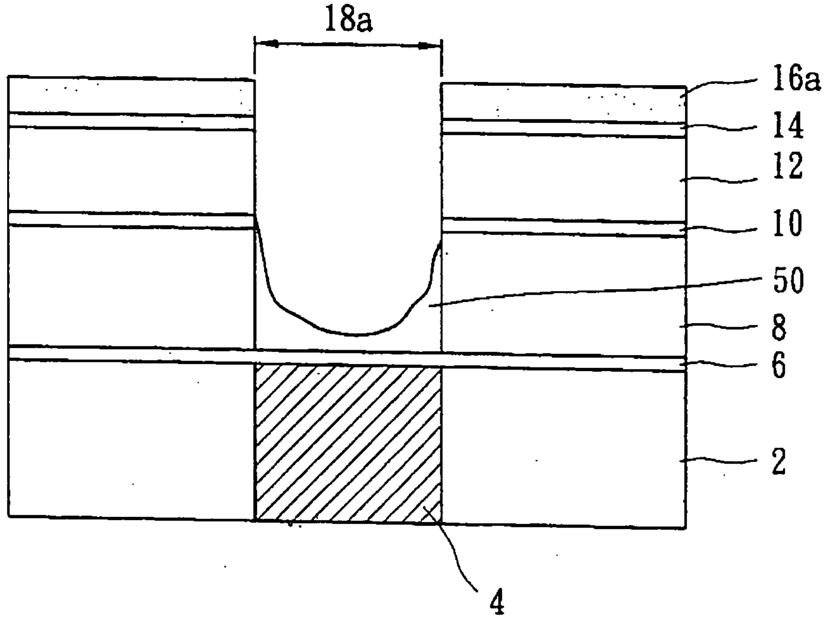

圖 一 B

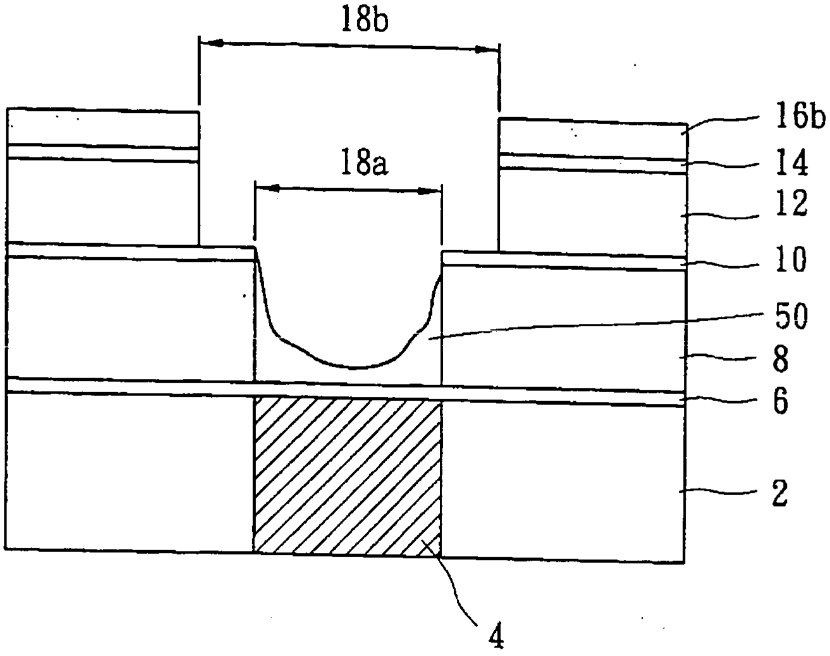

圖 一 C

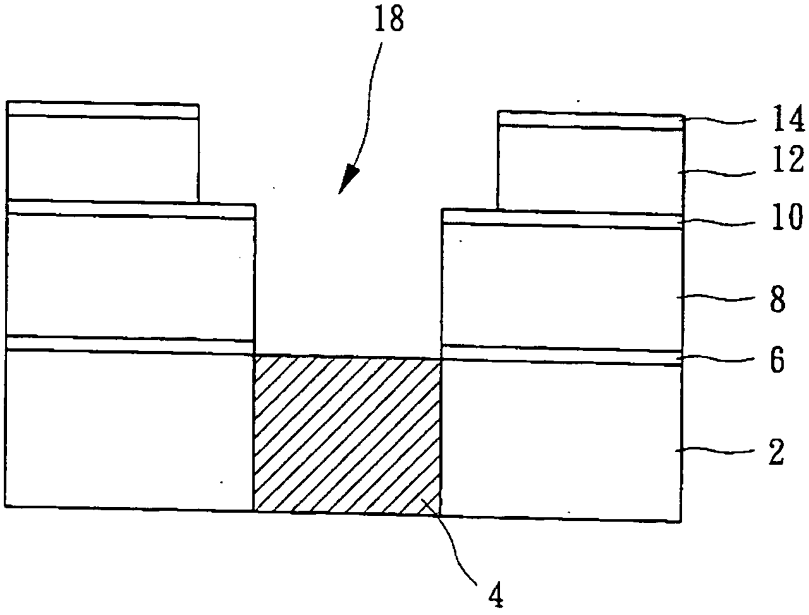

圖 一 D

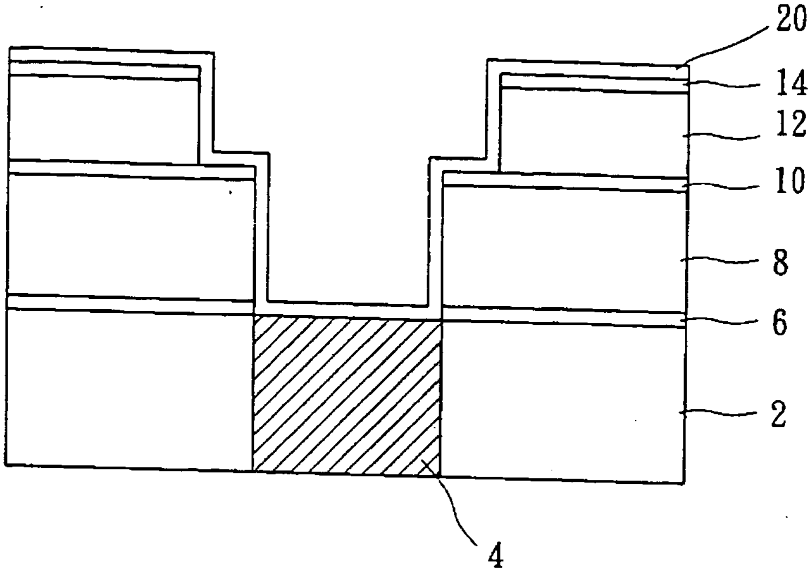

圖 一 E

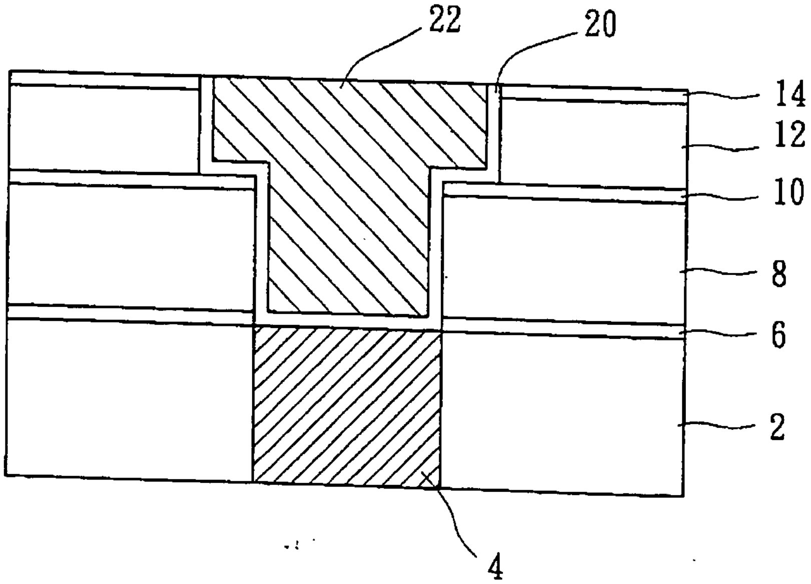

圖 一 F

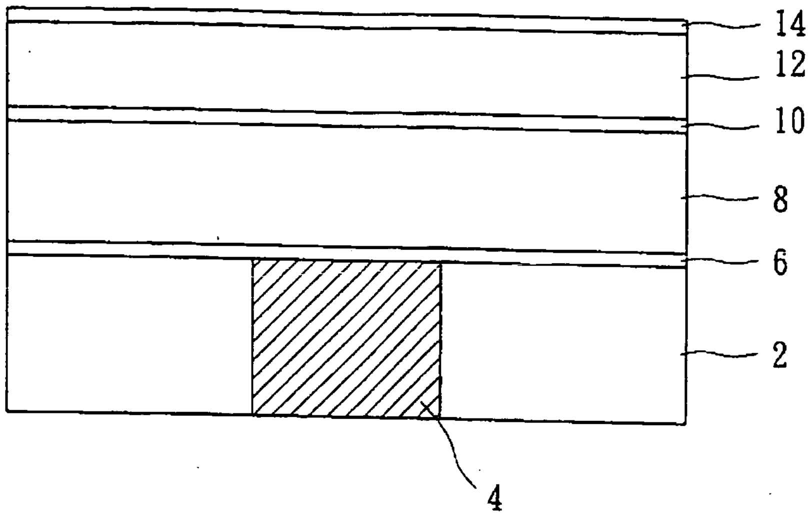

圖 二 A

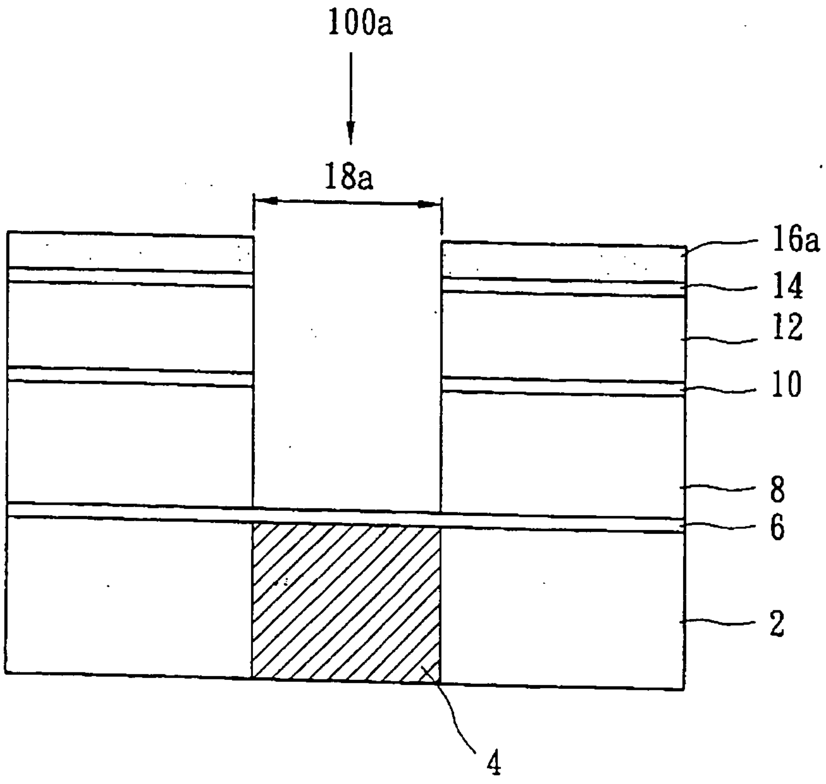

圖 二 B

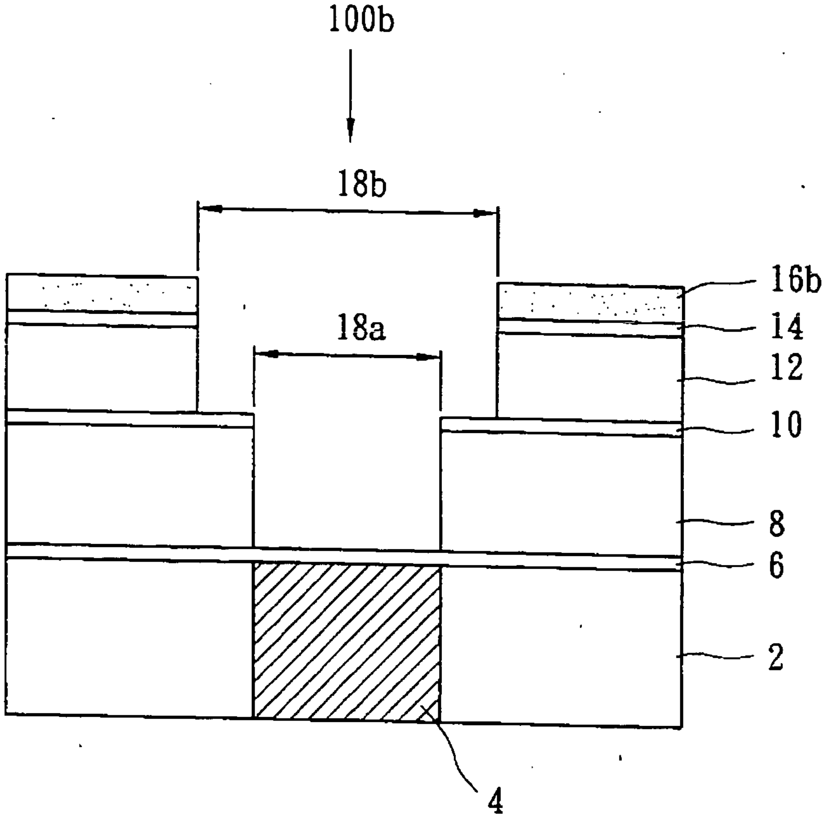

圖 二 C

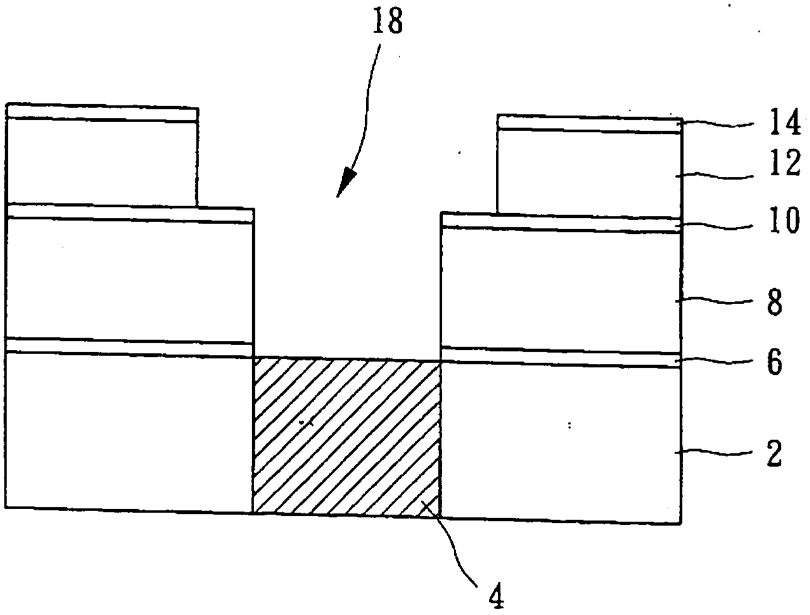

圖 二 D

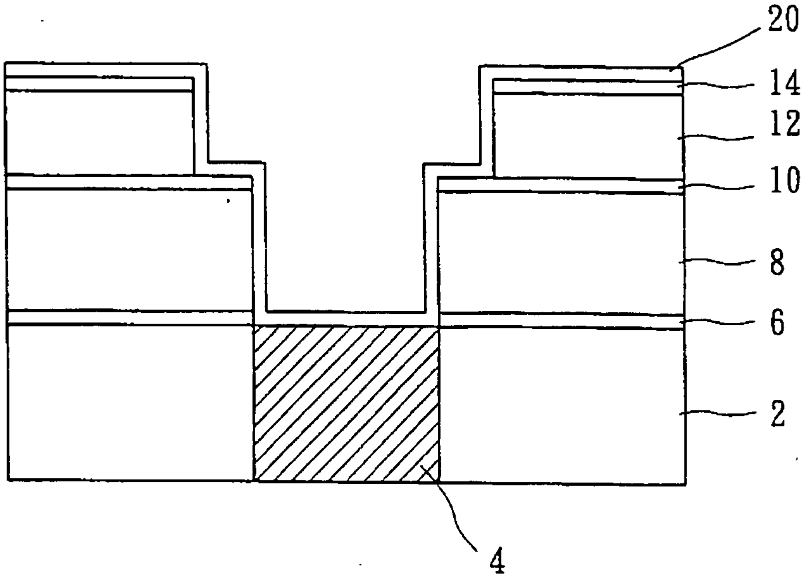

圖 二 E

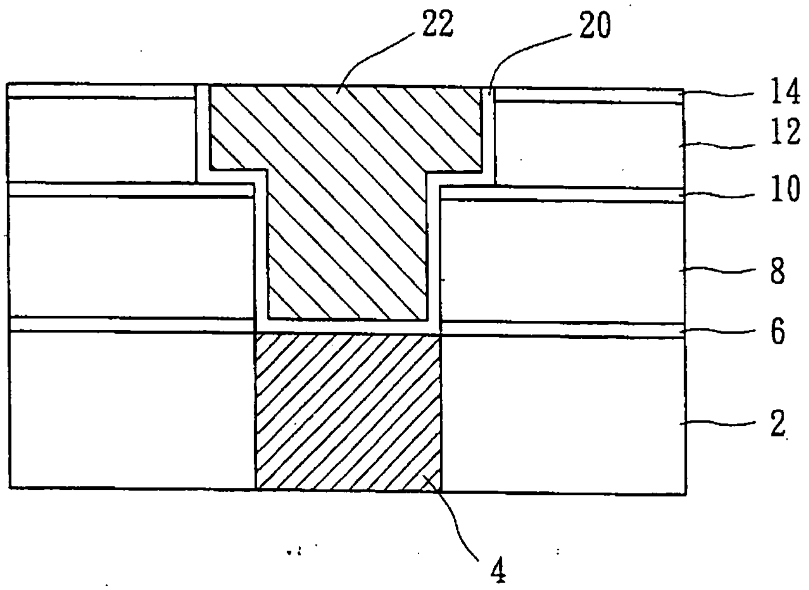

圖 二 F

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☑ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☑ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☑ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** ______________________________

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.